

CLIPPEDIMAGE= JP361254078A

PAT-NO: JP361254078A

DOCUMENT-IDENTIFIER: JP 61254078 A

TITLE: COCKCROFT TYPE BOOSTER CIRCUIT

PUBN-DATE: November 11, 1986

INVENTOR-INFORMATION:

NAME

MURAMOTO, ATSUSHI

ASSIGNEE-INFORMATION:

NAME

SEIKO INSTR & ELECTRONICS LTD

COUNTRY

N/A

APPL-NO: JP60092741

APPL-DATE: April 30, 1985

INT-CL (IPC): H02M007/25

ABSTRACT:

PURPOSE: To enhance the boosting and transferring efficiency per one stage by employing a transistor having two different threshold voltages for an MOS transistor of a Cockcroft type booster.

CONSTITUTION: A semiconductor integrated circuit has a Cockcroft type booster, which is formed of N-type MOS transistors of enhancement type for the front stage side 4 and of depletion type for the rear stage side 5. Thus, the two or more type threshold voltages of the MOS transistors are effectively used to obtain a higher output voltage 3 than a prior art circuit.

COPYRIGHT: (C)1986,JPO&Japio

## ⑫ 公開特許公報 (A) 昭61-254078

⑪ Int.Cl.<sup>1</sup>  
H 02 M 7/25識別記号 庁内整理番号  
6650-5H

⑬ 公開 昭和61年(1986)11月11日

審査請求 未請求 発明の数 1 (全3頁)

④ 発明の名称 コツクロフト型昇圧回路

⑫ 特願 昭60-92741

⑬ 出願 昭60(1985)4月30日

⑦ 発明者 村本 淳 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑦ 出願人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号

⑦ 代理人 弁理士 最上務

## 明細書

1. 発明の名称 コツクロフト型昇圧回路

## 2. 特許請求の範囲

① コツクロフト型昇圧回路を有する半導体集積回路において、その昇圧回路を構成するMOSトランジスタに異なる2種類以上のしきい値電圧のMOSトランジスタを使用することを特徴とするコツクロフト型昇圧回路。

② 前記回路を構成するMOSトランジスタに初段側より後段側に、低いしきい値電圧のMOSトランジスタを使用することを特徴とする特許請求第1項記載のコツクロフト型昇圧回路。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

この発明は、コツクロフト型昇圧回路を有する半導体集積回路装置に関する。

## 〔発明の概要〕

この発明は、コツクロフト型昇圧回路を有する

半導体集積回路において、その昇圧回路を構成するMOSトランジスタに異なる2種類以上のしきい値電圧のMOSトランジスタを使用することにより、一段当たりの昇圧転送効率を高め、高い出力電圧を得ることができるようにしたものである。

## 〔従来技術〕

従来、第2図に示すように同一のしきい値電圧のMOSトランジスタを使用したコツクロフト型昇圧回路が知られていた。ただし、この回路例は、これを構成するMOSトランジスタをN型MOSトランジスタとし1つのウエルの中に形成されたものとした。

## 〔発明が解決しようとする問題点〕

しかし、従来の回路では、まず、一つのウエル中にMOSトランジスタを形成した回路の場合、より後段側になるにつれ、MOSトランジスタの基板効果がはげしくなるため、一段当たりの昇圧転送効率が低くなり、小さな出力電圧しか得られないという欠点があつた。また、MOSトランジスタのウエルを別々にすることにより、基板効果を

防ごうとすると、レイアウト上、大きな面積を必要とする欠点があつた。

そこで、この発明は、従来のこのような欠点を解決するため、一つのウェル中においてMOSトランジスタを形成した場合でも、基板効果による昇圧転送効率の低下を軽減し、高い出力電圧を得ることを目的としている。

#### 〔問題点を解決するための手段〕

上記問題点を解決するために、この発明は、コックロフト型昇圧回路を有する半導体集積回路装置において、この回路を構成するMOSトランジスタに、初段側より後段側に低いしきい値電圧のMOSトランジスタを使用することとし、一段当たりの昇圧転送効率を高め、高い出力電圧を得るようとした。

#### 〔作用〕

上記のように構成された回路では、後段側を構成するMOSトランジスタのしきい値電圧が低いために、基板効果による見かけ上のしきい値電圧の増加を補償し、一段当たりの昇圧転送効率を高め

類以上のしきい値電圧を有効に使用することにより、従来の回路より高い出力電圧を得ることができるのである。ここでは、P型MOSトランジスタの実施例をとり説明したが、N型MOSトランジスタにおいても、同様であることは、言明するまでもない。

#### 〔発明の効果〕

この発明は以上説明したように、コックロフト型昇圧回路を構成するMOSトランジスタに異なる2種類以上のしきい値電圧のMOSトランジスタを有効に使用することで、一段当たりの昇圧転送効率を高め、高い出力電圧を得ることができる効果がある。

#### 4. 図面の簡単な説明

第1図は、この発明にかかる異なる2種類以上のしきい値電圧のMOSトランジスタで構成された時の回路図である。

第2図は、従来のコックロフト型昇圧回路図である。

よつて、高い出力電圧を得ることができるのである。

#### 〔実施例〕

以下にこの発明の実施例を図面にもとづいて説明する。第1図はコックロフト型昇圧回路において、それを構成するMOSトランジスタに、前段側4エンハンスマント形、後段側5にディブレッショニン形のP型MOSトランジスタを使用した回路例図である。

第2図は、従来の第2図の回路例と本発明にかかる第1図の回路例における、電源電圧依存と開放出力の概略図である。ただし段数は同じとし、従来の回路例は、それを構成するMOSトランジスタはすべて同一のしきい値電圧のエンハンスマント形のMOSトランジスタとした。

この結果、同じ段数でも、本発明の回路例の方が従来の回路例よりも高い出力電圧を得ることができる。

以上のような実施例から、コックロフト型昇圧回路を構成するMOSトランジスタに異なる2種

類以上のしきい値電圧を、従来の回路例と本発明にかかる回路例における、電源電圧依存と開放出力特性の概略図である。

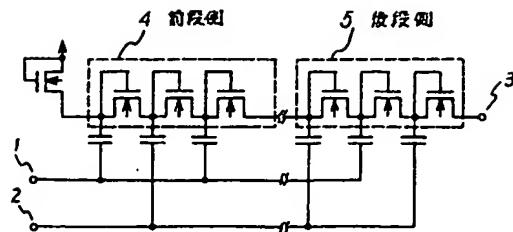
- 1 . . . . 0 L
- 2 . . . . 0 L
- 3 . . . . OUT
- 4 . . . . 前段側
- 5 . . . . 後段側
- 6 . . . . 出力特性
- 7 . . . . 出力特性

以上

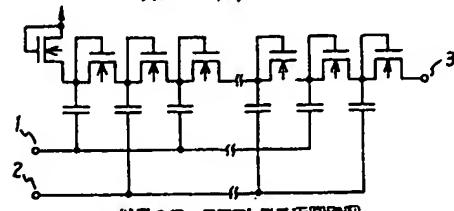
出願人 セイコー電子工業株式会社

代理人弁理士 松上

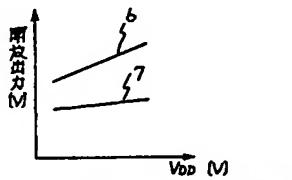




コックロフト型昇圧回路図  
第1図



従来のコックロフト型昇圧回路図  
第2図



コックロフト型昇圧回路の出力特性図  
第3図